

SEMICONDUCTOR MEMORY DEVICE

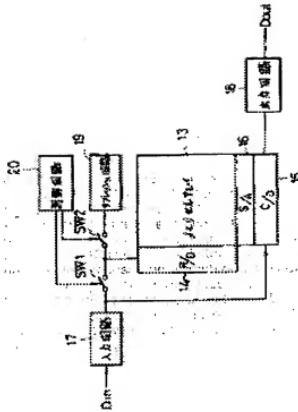
Patent number: JP61005495
 Publication date: 1986-01-11
 Inventor: SAKURAI TAKAYASU; others: 01
 Applicant: TOSHIBA KK
 Classification:
 - international: G11C11/34
 - european:
 Application number: JP19840111894 19840531
 Priority number(s):

Also published as:
 EP0166974 (A)
 US4677592 (A)
 EP0166974 (A)
 EP0166974 (B)

Abstract of JP61005495

PURPOSE: To reduce delay of action caused by refreshing, to speed up a semiconductor memory device and to obtain the semiconductor memory device without refresh viewing from the user side by controlling each output supply of an address information input circuit and refresh circuit through an interlocking switch.

CONSTITUTION: When switches SW1 and SW2 for interlocking by a control circuit 20 are on and off, respectively, address information from an input circuit 17 is supplied to a row decoder 14, and the information is read out from a selected cell of a memory cell array 13. After the information is wave-shaped by an output circuit 18, it is outputted by delaying the required time. The switches SW1 and SW2 are off and on, respectively, by the circuit 20 during this delayed time, and an output of a refresh circuit 19 is supplied to the decoder 14, the array 13 being refreshed. The writing to the array 13 is executed in the same manner, namely, the access and refresh of a memory cell during one cycle action are executed in parallel in terms of time. Accordingly an action delay due to the refresh can be reduced, and simultaneously the semiconductor switch refresh viewing from the user side can be obtained.



Data supplied from the **esp@cenet** database - Worldwide

⑫ 公開特許公報 (A)

昭61-5495

⑬ Int. Cl.
G 11 C 11/34識別記号
101府内整理番号
8522-5B

⑭ 公開 昭和61年(1986)1月11日

審査請求 有 発明の数 1 (全7頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 昭59-111894

⑰ 出 願 昭59(1984)5月31日

⑮ 発明者 桜井 貴康 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
 ⑯ 発明者 飯塚 哲哉 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
 ⑰ 出願人 株式会社東芝 川崎市幸区堀川町72番地
 ⑯ 代理人 弁理士 鈴江 武彦 外2名

明細書の抄書(内容に変更なし)
明細書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

(1) メモリセルアレイと、このメモリセルアレイの所定のアドレスを設定するローデコードおよびカラムデコーダと、上記メモリセルアレイからビット駆を介して読み出される情報を増幅するセンスアンプと、上記ローデコードおよびカラムデコーダにアドレス設定用の入力信号を供給する入力回路と、上記ローデコードにリフレッシュ信号を供給して上記メモリセルアレイのメモリセルを順次リフレッシュするリフレッシュ回路と、上記入力回路およびリフレッシュ回路の出力を選択的に上記ローデコードに供給するスイッチング手段と、このスイッチング手段を制御する制御手段と、上記センスアンプの出力を波形整形する出力回路とを具備し、上記メモリセルアレイの1つの読み出しあるいは書き込みサイク

ル中に、上記スイッチング手段によつてリフレッシュ回路の出力を選択することにより、時間並列的にリフレッシュを行なうように構成したことを特徴とする半導体記憶装置。

(2) 前記ビット駆が複数に分割設定されることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明は、半導体記憶装置に関するもので、特にリフレッシュを必要とするダイナミックRAMに係わる。

〔発明の技術的背景とその問題点〕

従来、ダイナミックRAMは、例えば図1に示すように構成されている。図において、MC1, MC2, …はメモリセルで、これらメモリセルMC1, MC2, …は、1つのキヤバシタC0と1つのトランジスタゲート(MOSFET)Q0によつて構成されており、上記キヤバシタC0に電荷が蓄積されているか否かに

よつて情報 "1", "0" を記憶するものである。WL1, WL2, … は、上記トランジスタアダート Q1, Q2, … を選択的に導通制御して所定のメモリセル列 MC1 (i = 1, 2, …) を選択するワード線で、このワード線 WL1, WL2, … とビット線 BLj, BLj (j = 1, 2, …) によって所定のメモリセル MC1j が選択される。J1 は、上記選択されたメモリセル MC1j からビット線 BLj, BLj に読み出された情報を増幅するためのセンサアンプで、このセンサアンプ J1 はセンサアンプイネーブル信号 SE によって制御される。DC1, DC2 はダミーセル、DWL1, DWL2 は上記ダミーセル DC1, DC2 を選択するためのワード線で、ビット線 BLj 間に接続されたメモリセルから情報を読み出す場合はダミーセル DC1 が、ビット線 BLj 間に接続されたメモリセルから情報を読み出す場合はダミーセル DC2 がそれぞれ選択されるようになっている。なお、上記ダミーセル DC1, DC2 を構成するキャ

バシタ C1, D1, C2, D2 の容量はそれぞれ、各メモリセル MC1, MC2, … を構成するキヤバシタ C の容量の 1/2 に設定される。CB, CR は上記ビット線 BLj, BLj の寄生容量、Q1, Q2 は図示しないカタログデータの出力 CDJ によって導通制御され、上記センサアンプ J1 によって増幅されたビット線 BLj, BLj の電位をデータ線 DL, DL を介して出力回路 J2 に供給するための転送用 MOSFET である。そして、出力回路 J2 から読み出し出力 Dout を得る。

ところで、メモリセル MC1, MC2, … に蓄積された電荷は、リード電荷等によって時間とともに減少する。このため、蓄積された電荷が完全に消失する前に情報を読み出し、この読み出した情報を同じ情報を再書き込みしても一度電荷を蓄積し直す動作、いわゆるリフレッシュが必要となる。このリフレッシュは一般的のダイナミック RAM では必ず必要であり、例えば 256K ビットのダイナミック RAM では、

4 ミリ秒にあらゆるメモリセルをリフレッシュするという制限となる。すなはち、第 6 図に示すように一定時間毎にリフレッシュ動作 R1 が必要であり、この期間は通常動作 N が行なえない。これは例えばメモリセル MC1 をリフレッシュしている間は、ビット線 BLj, BLj の電位が上記メモリセル MC1 の記憶情報に対応しているためで、この期間には同一のビット線 BLj, BLj に接続された他のメモリセル MC2, MC3, … から情報を読み出すことが不可能である。従つて、リフレッシュを行なつている期間に RAM をアクセスしようとしても、リフレッシュを行なつているメモリセルが接続されたビット線上のメモリセルは使えないで、この間は RAM へのアクセスを得たければならず、効率的にアクセス時間が長くなることになり、高速化が困難である。

上述したリフレッシュ動作および通常動作について第 6 図のタイミングチャートを参照しつつ説明する。時刻 t0 においてアドレス信号

Add が変化するかあるいはチップイネーブル信号が入力されると、動作の 1 サイクルが始まる。時刻 t1 において、ワード線 WL1, WL2, … の内いずれか 1 つ(ここでは WL1 を例に取つて説明する)が図示しないロードコータの出力により選択される("H" レベルとなる)と、メモリセル MC1 が選択され、このメモリセル MC1 に接続されたビット線 BLj に記憶情報が読み出される。この時、ワード線 DWL1 が "H" レベルとなり、ビット線 BLj にはダミーセル DC1 からの基準となる信号が読み出される。これによつて、ビット線 BLj, BLj の電位が変化し始める。上記ビット線 BLj, BLj の電位は、センサアンプイネーブル信号 SE の "H" レベル(時刻 t2)によつて、いずれか一方が "H" レベル、他方が "L" レベルとなる。この時、ワード線 WL1 は "H" レベルであるので、メモリセル MC1 のリフレッシュが行なわれる。

一方、通常の読み出し動作時は、上述したよ

うにセンスアンプ ± 1 によってビット線 B_L と B_L が L あるいは H レベルに設定された状態で、この行がカラムデコーダ ± 1 によって選択されると、MOSFET Q_1 、 Q_2 がオフ状態となつてビット線 B_L と B_L の電位がデータ線 D_L と D_L を介して出力回路 ± 2 に供給される(時刻 t_3)。そして、時刻 t_4 に上記出力回路 ± 2 によって波形整形された出力信号 V_{out} が得られる。

上述したように、ダイナミックRAMはリフレッシュがあるため動作速度の高速化が困難であり、このリフレッシュはダイナミックRAMのユーザにそのタイミングを見つける等の負担を常に与えている。

(発明の目的)

この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、リフレッシュによる動作遅延を低減して高速化を図るとともに、ユーザから見るとリフレッシュのない準静体膜技術を提供することである。

(発明の概要)

すなわち、この発明においては上記の目的を達成するために、通常の読み出しや書き込みの1サイクルの中に時間並列的にリフレッシュを組み込むようにしたもので、入力回路や出力回路による動作遅延時間内にリフレッシュを行なうようにしている。

(発明の実施例)

以下、この発明の一実施例について図面を参照して説明する。第1図において、 ± 1 はメモリセルアレイで、このメモリセルアレイ ± 1 の各メモリセルは、ローデコーダ ± 1 によって列方向が選択され、カラムデコーダ ± 1 によって行方向が選択される。 ± 2 は上記メモリセルアレイ ± 1 から読み出した情報を増幅するためのセンスアンプ、 ± 3 は入力信号 D_{in} に基づいてローデコーダ ± 1 およびカラムデコーダ ± 1 によってメモリセルのアドレスを設定するための入力回路、 ± 4 は上記センスアンプ ± 2 の出力を波形整形して出力信号 V_{out} を得るために

出力回路、 ± 1 はメモリセルをリフレッシュするためのリフレッシュ回路、 SW_1 、 SW_2 は上記入力回路 ± 4 あるいはリフレッシュ回路 ± 1 の出力を上記ローデコーダ ± 1 に供給するためのスイッチで、このスイッチ SW_1 、 SW_2 は制御回路 ± 2 によってオン/オフ制御される。

次に、上記のような構成において第2回のタイミングチャートを参照しつつ動作を説明する。時刻 t_0 においてアドレス信号 A_{dd} が変化するかあるいはチップイネーブル信号が入力されると動作の1サイクルが開始される。この時、制御回路 ± 2 の出力によりスイッチ SW_1 がオン状態、 SW_2 がオフ状態となる。この状態では前記第4回の回路と同じであり、第4回におけるメモリセル MC_1 からの情報の読み出し時、メモリセル MC_3 をリフレッシュするものとして以下の動作を説明する。時刻 t_1 において、ワード線 W_L がローデコーダ ± 1 の出力により選択されて H レベルとなると、メモリセル MC_1 が選択され、ビット線 B_L に記憶情

報が読み出される。この時、ワード線 DW_L が H レベルとなり、ビット線 B_L にはデータセル DC_1 からの基準となる信号が読み出される。これによつて、ビット線 B_L と B_L の電位が変化し始める。上記ビット線 B_L と B_L の電位は、センスアンプイネーブル信号 SE の H レベル(時刻 t_2)によつて増幅され、いずれか一方が H レベル、他方が L レベルとなり、この電位がデータ線 D_L と D_L に供給される(時刻 t_3)。また、上記時刻 t_3 にワード線 W_L 、 DW_L が L レベルとなる。上記データ線 D_L と D_L に供給された電位は、出力回路 ± 2 に入力され、この出力回路 ± 2 によつて波形整形されて所定時間経過した時刻 t_4 に出力信号 V_{out} が得られる。上記時刻 t_3 、 t_4 間は出力回路 ± 2 による遅延時間であり、この期間にメモリセル MC_3 のリフレッシュを行なう。すなわち、時刻 t_3 に制御回路 ± 2 の出力によりスイッチ SW_1 をオフ状態、スイッチ SW_2 をオン状態に設定す

るとともに、リフレッシュ回路 12 の出力によりワード線 W_{L1} を選択する。これによつて、時刻 t_4 におけるセンスアンプイネーブル信号 SE の "L" レベルによつてプリチャージ状態を設定されたビット線 BL_1 は、 BL_1 の電位は、メモリセル MC_3 の記憶情報に応じて変化し始める。また、時刻 t_5 にはワード線 W_{L2} が "H" レベルとカーリダミーセル DC_3 が選択される。次に、時刻 t_6 にセンスアンプイネーブル信号 SE が "H" レベルとなると、上述したビット線 BL_1 は、 BL_1 の電位変化が増幅されていずれか一方が "H" レベル、他方が "L" レベルとなる。これによつて、メモリセル MC_3 の記憶情報をリフレッシュされる。そして、時刻 t_7 にワード線 W_{L3} 、 W_{L2} が "L" レベル、時刻 t_8 にセンスアンプイネーブル信号 SE が "L" レベルとなる。

従つて、メモリセル MC_1 のアクセス動作と時間並列的にメモリセル MC_3 のリフレッシュを実行できる。

上述した 1 サイクルの動作終了後、制御回路 20 の出力によつてスイッチ SW_1 をオン状態、 SW_2 をオフ状態に設定することにより、次のサイクルに入る。

ところで、上記のような操作が必要なのは、リフレッシュしようとしたメモリセルとビット線を共用しているメモリセルをアクセスしようとした場合だけであり、リフレッシュはメモリセルのアクセス時間に對してかなり長い間に 1 回行なえば良いので、これ以外の場合には從来と同様な動作が行なわれる。すなわち、メモリセルをリフレッシュしようとした時、このメモリセルが既読されたビット線上のメモリセルがアクセスされていなければ、單にリフレッシュだけを行なえば良い。また、リフレッシュは、メモリアレイの内部で順番に行なえば良く、必ずしも外部からアドレスを指定する必要はないので、上記リフレッシュ回路 14 にカウンタを設けてメモリセルアレイ 13 の各メモリセルを順次リフレッシュすれば良い。上記リフレ

ッシュは、外部に情報を出力する必要がなく、アドレスの取り込みにも時間を消費しないので高速である。

このような構成によれば、リフレッシュを、読み出しあるいは書き込みサイクル中に時間並列的に行なうようにしたので、このダイナミック RAM を使用するユーザはリフレッシュのタイミング等を全く気にする必要がなく、外部から見るとステティック RAM に見える。その上、従来のダイナミック RAM とほぼ同様なメモリセル面積で構成できるので、同一面積では通常のステティック RAM の 4 倍の容量のものが実現できる。

なお、上記実施例では、リフレッシュ動作を通常動作の後に行なうようにしたが、入力回路 17 による遮断時間を利用して通常動作の前に行かつても良い。すなわち、リフレッシュ動作を始めた時点でのアドレスが変化して通常動作を行なわなければならぬ場合には、通常動作の前にリフレッシュが入ることになる。また、ビ

ット線 BL_1 、 BL_1 の寄生容量 CB 、 CB が大きいと、ビット線 BL_1 、 BL_1 にメモリセルの情報が読み出されるまでに時間がかかる（いわゆるビット線遮断時間が大きい）ためリフレッシュが遅くなる。このようにビット線遮断が大きいと通常動作のアクセス時間内にリフレッシュが終了せず、メモリアクセスに悪影響が出るため、ビット線容量 CB を小さくするように、第 3 図に示す如くビット線を複数に分割設定しても良い。第 3 図において、ビット線は南北向に形成されており、複数のメモリセルプロック M / B によって分割設定されている。 R / D はローデコーダ、 $C SA$ はカラムセレクタ、 Q はアドレスバッファであり、リフレッシュコントローラ 22 によつて次のリフレッシュのアドレスとタイミングとが決定される。

上記のような構成において、ビット線を n 個分すればビット線容量 CB は $1/n$ となり、リフレッシュ動作は n 倍に高速化される。また、ビット線容量 CB の充放電電荷は $CB \cdot V_{DD}$

(V_{DD} は電源電圧) であるので、これも $1/n$ となり、従つてリフレッシュ電流も $1/n$ となる。

【発明の効果】

以上説明したようにとの駆動によれば、リフレッシュによる動作週期を低減して高速化を図れるとともに、ユーザから見るとリフレッシュのない半導体記憶装置が得られる。

4. 図面の簡単な説明

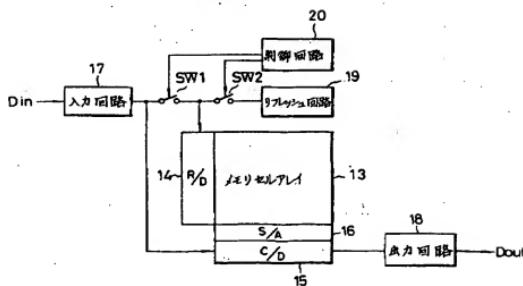
第1図はこの発明の一実施例に係る半導体記憶装置を説明するためのブロック図、第2図は上記第1図の回路の動作を説明するためのタイミングチャート、第3図はこの発明の他の実施例を説明するための図、第4図は従来の半導体記憶装置を説明するための回路図、第5図はリフレッシュ動作を説明するための図、第6図は上記第4図の回路の動作を説明するためのタイミングチャートである。

1-3…メモリセルアレイ、1-4…ロードコア、1-5…カラムデコーダ、1-6…センスアンプ、1-7…入力回路、1-8…出力回路、1-9…

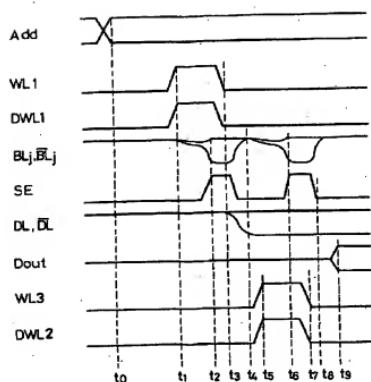
リフレッシュ回路、2-0…制御回路、SW1、SW2…スイッチ、BL1、BL2…ビット線。

出願人代理人 井原士 館 江 武彦

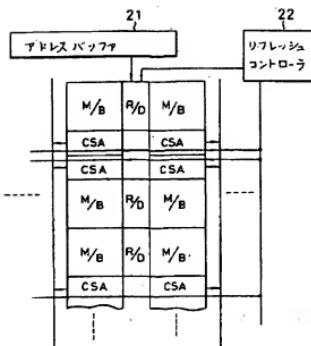
第1図



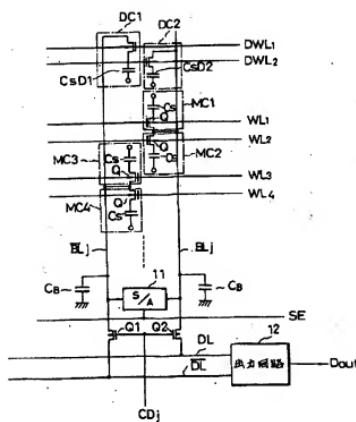
第2図



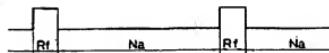
第3図



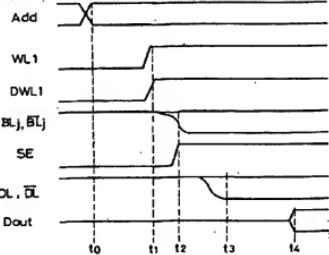
第4図



第5図



第6図



手 続 補 正 書

昭和 59 年 7 月 6 日

特許庁長官 志賀 学 職

1. 事件の表示

特願昭 59-111894 号

2. 発明の名称

半導体記憶装置

3. 補正をする者

事件との関係 特許出願人

(307) 株式会社 東芝

4. 代理人

住所 東京都港区虎ノ門1丁目26番5号 1017番ビル

〒105 電話 03(502)3181(大代表)

氏名 (5847) 佐藤士鉢 江 武 康



5. 自発補正

6. 補正の対象

明細書全文

7. 補正の内容

明細書の記述 (内容に変更なし)

手 続 補 正 書

特願昭 61-5495(7)

昭和 60 年 7 月 29 日

特許庁長官 宇喜道郎 職

1. 事件の表示

特願昭 59-111894 号

2. 発明の名称

半導体記憶装置

3. 補正をする者

事件との関係 特許出願人

(307) 株式会社 東芝

4. 代理人

住所 東京都港区虎ノ門1丁目26番5号 1017番ビル

〒105 電話 03(502)3181(大代表)

氏名 (5847) 佐藤士鉢 江 武 康



5. 自発補正

6. 補正の対象

図面



7. 補正の内容

図面の第2図を別紙図面に示す通り訂正する。

第2図

